

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
25. Januar 2001 (25.01.2001)

PCT

(10) Internationale Veröffentlichungsnummer  
**WO 01/06570 A1**

(51) Internationale Patentklassifikation<sup>7</sup>: **H01L 29/788,**  
21/28

Wolfgang [DE/DE]; Heinzelmännchenstr. 2, D-81739  
München (DE).

(21) Internationales Aktenzeichen: **PCT/DE00/01732**

(72) Erfinder; und

(22) Internationales Anmeldedatum:  
29. Mai 2000 (29.05.2000)

(75) Erfinder/Anmelder (*nur für US*): **RAMCKE**, Ties  
[DE/DE]; Krumbacherstr. 13, D-80798 München  
(DE). **RISCH**, Lothar [DE/DE]; Tizianstr. 27,  
D-85579 Neubiberg (DE). **SCHULZ**, Thomas [DE/DE];  
Anette-Kolb-Anger 13/V, D-81739 München (DE).

(25) Einreichungssprache: **Deutsch**

(26) Veröffentlichungssprache: **Deutsch**

(74) Anwälte: **LANGE**, Thomas Lambsdorff & Lange usw.;  
Dingolfinger Strasse 6, 81673 München (DE).

(30) Angaben zur Priorität:  
199 33 958.9 20. Juli 1999 (20.07.1999) **DE**

(81) Bestimmungsstaaten (*national*): **CN, JP, KR, US.**

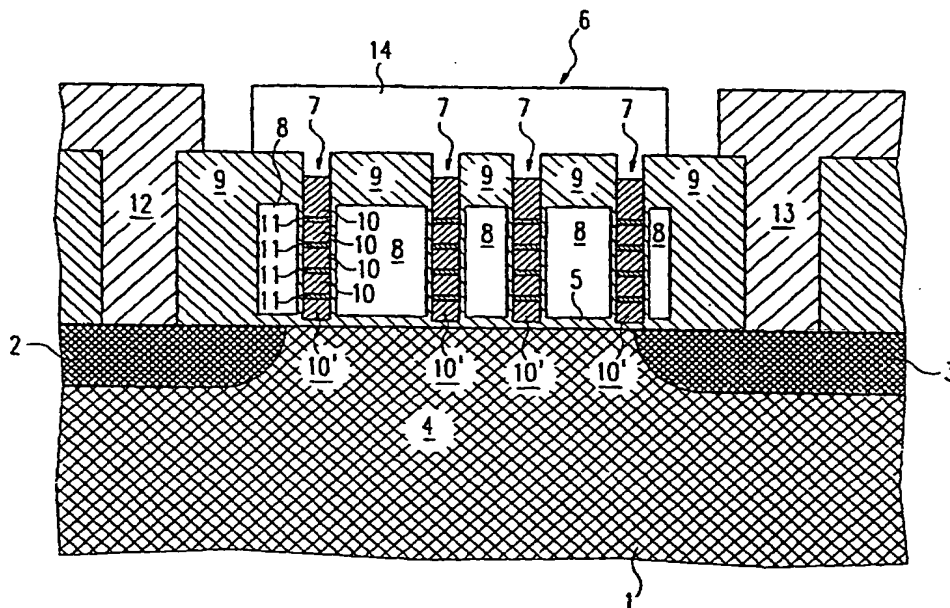
(71) Anmelder (*für alle Bestimmungsstaaten mit Ausnahme  
von US*): **INFINEON TECHNOLOGIES AG** [DE/DE];  
St.-Martin-Str. 53, D-81541 München (DE). **RÖSNER**,

(84) Bestimmungsstaaten (*regional*): europäisches Patent (AT,  
BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,  
NL, PT, SE).

[Fortsetzung auf der nächsten Seite]

(54) Title: **NON-VOLATILE SEMICONDUCTOR MEMORY CELL AND METHOD FOR PRODUCING THE SAME**

(54) Bezeichnung: **NICHTFLÜCHTIGE HALBLEITERSPEICHERZELLE UND VERFAHREN ZUR HERSTELLUNG DER-  
SELBEN**



(57) Abstract: The invention relates to a non-volatile semiconductor memory cell, comprising a transistor component (2, 3, 6) which is located on a substrate (1) and a memory node which determines the control state of the transistor component (2, 3, 6) and which is located in the vicinity of a control gate electrode (8). The memory node has a group of vertically orientated stack structures (7), comprising at least two semiconductor layer zones (10) and an insulating layer zone (11) which lies between the latter.

[Fortsetzung auf der nächsten Seite]

WO 01/06570 A1

**Veröffentlicht:**

- Mit internationalem Recherchenbericht.
- Vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen.

*Zur Erklärung der Zweibuchstaben-Codes, und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.*

**(57) Zusammenfassung:** Eine nichtflüchtige Halbleiterspeicherzelle umfaßt ein auf einem Substrat (1) gebildetes Transistorbauelement (2, 3, 6) und einen Speicherknoten, der den Schaltzustand des Transistorbauelements (2, 3, 6) bestimmt und in der Umgebung einer Steuergate-Elektrode (8) angeordnet ist. Der Speicherknoten weist eine Gruppe vertikal orientierter Säulenstrukturen (7) mit mindestens zwei Halbleiterschichtzonen (10) und einer dazwischen liegenden Isolationschichtzone (11) auf.

## Beschreibung

Nichtflüchtige Halbleiterspeicherzelle und Verfahren zur Herstellung derselben.

5

Die Erfindung betrifft eine nichtflüchtige Halbleiterspeicherzelle nach dem Oberbegriff des Patentanspruchs 1 sowie ein Verfahren zur Herstellung derselben nach dem Oberbegriff des Patentanspruchs 8.

10

Löschbare Festwertspeicher, sogenannte Flash-EPROMs und EEPROMs (Electrically Erasable Programmable Read-Only Memories), sind bekannt und werden in den verschiedensten Bereichen der Technik als nichtflüchtige Speicherelemente eingesetzt. Flash-EPROMs und EEPROMs bestehen aus einer Vielzahl nichtflüchtiger Halbleiterspeicherzellen, die jeweils ein oder zwei Transistoren umfassen. Die Programmierung der nichtflüchtigen Halbleiterspeicherzelle erfolgt über eine elektrische Umladung eines schwebenden ("floatenden") Gates, welche je nach Bauart der Speicherzelle auf verschiedene Weise vorgenommen werden kann. Der durch die Umladung des schwebenden Gates bewirkte Ladungszustand desselben bleibt für lange Zeit (mehrere Jahre) erhalten.

25 Für viele Anwendungen werden löschbare Festwertspeicher mit kurzen Programmierzeitdauern und langen Ladungs-Erhaltungszeitdauern benötigt. Ferner weisen Speicherzellen mit zwei Transistoren den Nachteil auf, daß sie verhältnismäßig viel Platz beanspruchen.

30

In der Veröffentlichung "PLED - Planar Localized Electron Devices" von K. Nakazato, et al., IEDM 97-179, (1997) ist eine Halbleiterspeicherzelle beschrieben, bei der die schwebende Gate-Elektrode eines MOS-(Metall-Oxide-Semiconductor)Transistors über einen Schichtstapel, der aus alternierenden Polysilizium- und Siliziumnitrid-Schichten besteht, mit einer Datenleitung verbunden ist. Der Schichtstapel ist von einer

Steuergate-Elektrode umrandet, mittels welcher das elektrische Potential im peripheren Bereich des Schichtstapels verändert werden kann. Sowohl die schwebende Gate-Elektrode als auch die Steuergate-Elektrode sind an eine Wortleitung angeschlossen. Durch geeignete Ansteuerung der Wortleitung kann 5 daher die schwebende Gate-Elektrode mit der Datenleitung verbunden und umgeladen werden. Andererseits bewirken die Isolationsbarrieren (Siliziumnitrid-Schichten) des Schichtstapels eine verhältnismäßig lange Haltezeit für die Ladung, wenn die 10 Gate-Spannung nicht dem Schreib- bzw. Programmiermodus entspricht.

In der deutschen Patentanmeldung DE 196 32 835 A1 ist ein Halbleiterkondensator beschrieben, der zur Vergrößerung seiner 15 Kondensatorfläche eine Kondensatorelektrode mit einer Vielzahl von Säulenstrukturen aufweist. Die Säulenstrukturen werden unter Verwendung einer statistischen Maske gebildet, welche Strukturgrößen im Sub-100 nm Bereich ermöglicht.

20 Der Erfindung liegt die Aufgabe zugrunde, eine nichtflüchtige Halbleiterspeicherzelle zu schaffen, die zum Aufbau hochintegrierter Halbleiterspeicher geeignet ist und die ferner ein hohes Verhältnis von Speicherzeitdauer zu Programmierzeitdauer aufweist. Ferner zielt die Erfindung darauf ab, ein Ver- 25 fahren zur Herstellung einer derartigen Halbleiterspeicherzelle anzugeben.

Die der Erfindung zugrundeliegende Aufgabenstellung wird durch die Merkmale der Ansprüche 1 und 8 gelöst.

30

Durch die Verwendung von Säulenstrukturen mit wenigstens einer als Ladungsbarriere wirkenden Isolationsschichtzone im Speicherknoten kann eine lange Speicherzeitdauer der Halbleiterspeicherzelle erreicht werden. Die Speicherzeitdauer entspricht 35 einer charakteristischen Zeitdauer, mit der Ladung (im Lesemodus) von dem Speicherknoten abfließt, d.h. in der sich der Speicherknoten selbsttätig soweit entlädt, daß der

Schaltzustand des Transistorbauelements undefiniert wird und damit die in der Halbleiterspeicherzelle gespeicherte Information verloren ist.

- 5 Eine vorteilhafte Ausgestaltung der Erfindung kennzeichnet sich dadurch, daß die Säulenstrukturen jeweils mehrere alternierend angeordnete Halbleiterschichtzonen und Isolations-  
schichtzonen umfassen. Dadurch wird die in der untersten Halbleiterschichtzone gespeicherte Ladung dort noch effekti-  
10 ver festgehalten und demzufolge eine Verlängerung der Speicherzeitdauer bewirkt.

- Vorzugsweise wird die Säulenstrukturgruppe des Speicherknotens von der Steuergate-Elektrode vollständig durchsetzt.  
15 Dies ermöglicht einen ausgesprochen effektiven Durchgriff des Potentials der Steuergate-Elektrode durch die gesamte Säulenstrukturgruppe, da die einzelnen Säulenstrukturen allseitig von der Steuergate-Elektrode umgeben sind. Durch eine Änderung des Gatepotentials wird die energetische Lage des Lei-  
20 tungsbands in der (bzw. den) Isolationsschichtzon(en) und in den angrenzenden Halbleiterschichtzonen verschoben, wodurch ein Ladungstransfer über die durch die Isolationsschichtzone(n) bewirkte(n) Energiebarriere(n) hinweg und gegebenenfalls - bei ausreichend geringer Dicke der Isolations-  
25 schicht(en) - auch durch diese hindurch ("Tunneln") erfolgen kann. Im Ergebnis wird eine erhebliche Verkürzung der Programmierzeitdauer erreicht.

- Nach einer ersten bevorzugten Ausführungsform der Erfindung  
30 weist das Transistorbauelement eine schwebende Gate-Elektrode auf, und der Speicherknoten ist entweder durch eine elektrisch leitende Verbindung oder kapazitiv mit der schwebenden Gate-Elektrode verbunden. In beiden Fällen ergibt sich wie bei einer herkömmlichen Speicherzelle eine Verschiebung der  
35 Einsatzspannung des Transistorbauelements infolge der im Speicherknoten gespeicherten Ladung.

Eine zweite bevorzugte Ausführungsform kennzeichnet sich dadurch, daß der Speicherknoten selbst die Gate-Elektrode des Transistorbauelements bildet. In diesem Fall entfällt die schwebende Gate-Elektrode zwischen dem Kanalgebiet des Transistorbauelements und dem Speicherknoten, d.h. das von den in den Säulenstrukturen gespeicherten Ladungen erzeugte Feld wirkt direkt auf das Kanalgebiet des Transistorbauelements ein. Diese Halbleiterspeicherzelle weist einen kompakteren Aufbau als im Falle der ersten Ausführungsform auf.

10

Vorzugsweise weisen die Säulenstrukturen einen Durchmesser von weniger als 50 nm, insbesondere weniger als 30 nm, auf.

15

Durch eine geeignete Reduzierung der lateralen und axialen Dimensionen der Halbleiterschichtzonen kann erreicht werden, daß die einzelnen Halbleiterschichtzonen eine sehr kleine Kapazität aufweisen. Dies bewirkt, daß die durch die Isolationschichtzonen erzeugten Potentialbarrieren durch die Coulomb-Blockade erhöht werden, d.h. die elektrische Leitung in den Säulenstrukturen durch Einzel-Elektronen-Ladungsübergänge realisiert werden kann.

20

Ein wesentlicher Vorteil des erfindungsgemäßen Verfahrens besteht darin, daß die Erzeugung der Säulenstrukturen mittels einer statistischen Maske lithographieunabhängig erfolgt und auch im übrigen ausschließlich konventionelle Prozeßschritte zur Realisierung der nichtflüchtigen Halbleiterspeicherzelle benötigt werden.

25

Weitere vorteilhafte Ausgestaltungen der Erfindung sind in den Unteransprüchen angegeben.

30

Die Erfindung wird nachfolgend anhand eines Ausführungsbeispiels unter Bezugnahme auf die Zeichnung näher erläutert; in dieser zeigt:

35

- Fig. 1 eine schematische Schnittdarstellung einer erfindungsgemäßen nichtflüchtigen Halbleiterspeicherzelle;
- 5 Fig. 2 ein Ersatzschaltbild einer Halbleiterspeicherzelle mit einer schwebenden Gate-Elektrode;
- Fig. 3A-F schematische Schnittdarstellungen, die die Verwendung einer statistischen Maske bei der Herstellung einer erfindungsgemäßen nichtflüchtigen Halbleiterspeicherzelle zeigen;
- 10 Fig. 4A eine schematische Darstellung einer einzelnen Säulenstruktur; und
- 15 Fig. 4B eine schematische Schnittdarstellung einer einzelnen Säulenstruktur nach Ausführung eines lateralen, selbstbeschränkenden Oxidationsschritts.
- 20 Nach Fig. 1 sind in einem Substrat 1, beispielsweise ein p-dotiertes Si-Substrat, ein  $n^+$ -dotiertes Source-Gebiet 2 und ein  $n^+$ -dotiertes Drain-Gebiet 3 in üblicher Wannenform ausgebildet. Zwischen dem Source-Gebiet 2 und dem Drain-Gebiet 3 befindet sich ein Substratgebiet 4, dessen oberflächennaher Bereich das Kanalgebiet des Transistorbauelements 2, 3, 4
- 25 realisiert. Oberhalb des Substratgebiets 4 erstreckt sich eine dünne Gateelektroden-Isolationsschicht 5, die beispielsweise aus  $\text{SiO}_2$  gebildet sein kann.
- 30 Die oberhalb der Gateelektroden-Isolationsschicht 5 angeordnete Gate-Elektrode 6 des Transistorbauelements steuert über den bekannten Feldeffekt die Stromleitung im Kanalgebiet. Sie umfaßt eine Mehrzahl von vertikal orientierten Säulenstrukturen 7 und eine Steuergate-Elektrode 8, die durch elektrisch
- 35 isolierende Materialbereiche 9 elektrisch voneinander getrennt sind. Die einzelnen Säulenstrukturen 7 sind dabei gleichsam in die Steuergate-Elektrode 8 eingebettet, d.h. je-

de Säulenstruktur 7 wird allseitig von der Steuergate-Elektrode 8 umgeben und ein peripherer Bereich der Steuergate-Elektrode 8 umläuft dabei auch die gesamte Gruppe der Säulenstrukturen 7.

5

Jede Säulenstruktur 7 besteht aus alternierend angeordneten Halbleiterschichtzonen 10 und Isolationsschichtzonen 11. Bei den Halbleiterschichtzonen kann es sich beispielsweise um Silizium (amorph, polykristallin oder kristallin) handeln, die Isolationsschichtzonen 11 können durch dünne Nitridschichten ( $\text{Si}_3\text{N}_4$ ) realisiert sein. Die dem Kanalgebiet zugewandten endseitigen Schichtzonen der Säulenstrukturen 7 sind Halbleiterschichtzonen 10'.

10

Die einzelnen Säulenstrukturen 7 können einen Durchmesser von unter 100 nm, vorzugsweise von unter 30 nm, aufweisen. Die Isolationsschichten 11 müssen ausreichend dünn sein (etwa 1 bis 10 nm), um einen Ladungstransfer zu gestatten. Bei sehr geringer Dicke der Isolationsschichten 11 kann der Ladungstransfer durch Tunnelprozesse erfolgen, und sofern (wie dargestellt) mehrere Isolationsschichten 11 vorhanden sind, realisiert in diesem Fall jede einzelne Säulenstruktur 7 eine Mehrfach-Tunnelverbindung, die in der Technik auch als MTJ (multiple tunnel junctions) bezeichnet wird.

20

25

Auch die Schichtdicken der Halbleiterschichtzonen 10 können sehr klein gewählt werden und gegebenenfalls bis auf etwa 2 nm reduziert werden. Ferner kann durch einen zusätzlichen, lateralen Oxidationsprozeß eine laterale Strukturverkleinerung der Halbleiterschichtzonen 10 bis auf Durchmesserwerte von etwa 2 nm erreicht werden, wie dies im Zusammenhang mit den Fig. 4A, 4B noch näher erläutert wird. Die Dimensionsverkleinerung bewirkt eine Ladungsträgerlokalisierung, durch die es zu einer Niveaueaufspaltung der elektronischen Zustände und schließlich zu der bei Einzel-Elektronenbauelementen bekannten Coulomb-Blockade kommt, durch welche ein gezielter Transport einzelner Elektronen von einer Halbleiterschichtzone 10

30

35



zur nächsten ermöglicht wird. Die Elektronen gelangen schließlich auf die endseitigen Halbleiterschichtzonen 10', von wo aus sie nicht mehr weitergeleitet werden können und - in der in Fig. 1 gezeigten Halbleiterspeicherzelle - durch die Gateelektroden-Isolationsschicht direkt auf das Kanalgebiet des Transistorbauelements 2, 3, 4 einwirken.

Die elektrische Kontaktierung der Source- und Drain-Gebiete 2, 3 erfolgt über metallische Kontaktbereiche 12 und 13. Zur gemeinsamen elektrischen Kontaktierung der Säulenstrukturgruppe 7 ist ein metallischer Datenleitungskontakt 14 über der Gate-Elektrode 6 angebracht.

In nicht dargestellter Weise kann oberhalb des Kanalgebiets und unterhalb der Säulenstrukturen 7 eine schwebende Gate-Elektrode FG ("floating gate") angeordnet sein. Die schwebende Gate-Elektrode FG ist durch eine dünne Isolationsschicht (entspricht der Gateelektroden-Isolationsschicht 5 in Fig. 1) gegenüber dem Kanalgebiet isoliert und ist mit den Säulenstrukturen 7 an ihren untersten Halbleiterschichtzonen 10' entweder direkt elektrisch leitend verbunden oder mittels einer dünnen (nicht dargestellten) Zwischenisolationsschicht kapazitiv an letztere angekoppelt.

Fig. 2 zeigt ein Ersatzschaltbild der im vorstehenden Absatz beschriebenen Speicherzelle mit schwebender Gate-Elektrode FG. Der metallische Source-Kontaktbereich 12 steht mit einer Bit-Leitung BL in Verbindung. Der Drain-Kontaktbereich 13 liegt auf Erdpotential. Die Steuergate-Elektrode 8 ist mit einer Wortleitung WL verbunden. Da sie direkt oberhalb der (in Fig. 1 nicht dargestellten) schwebenden Gate-Elektrode FG liegt und ferner die Säulenstrukturgruppe 7 durchsetzt, steuert sie einerseits direkt die schwebende Gate-Elektrode FG (was durch die direkte kapazitive Kopplung zwischen FG und der Elektrode 8 veranschaulicht ist) und verändert andererseits das Potential im gesamten Bereich der Säulenstruktur-

gruppe 7. Letztere ist über den Datenleitungskontakt 14 mit einer Datenleitung DL verbunden.

5 Durch eine geeignete Ansteuerung der Wortleitung WL kann die schwebende Gate-Elektrode FG mit der Datenleitung DL verbunden und umgeladen werden. Der äußerst effektive Potential-  
durchgriff der Steuergate-Elektrode 8 durch die Säulenstrukturgruppe (Speicherknöten) bewirkt, daß der Ladungsübertritt  
10 entlang der Säulenstrukturen 7 ausgesprochen empfindlich steuerbar ist, was zu einer erheblichen Verbesserung des Verhältnisses von Speicherzeitdauer (größer als 10 Jahre) zu Schreibzeitdauer (im Nanosekundenbereich) führt.

15 Sofern eine kapazitive Kopplung der schwebenden Gate-Elektrode FG mit dem Speicherknöten vorgesehen ist, weist das Ersatzschaltbild bei A einen Kondensator auf. Sofern gemäß der Darstellung in Fig. 1 keine schwebende Gate-Elektrode FG vorhanden ist, koppelt der Speicherknöten über die Enden 10' der Säulenstrukturen 7 direkt mit dem Kanalgebiet des Transistor-  
20 bauelements 2, 3, 4.

Die Fig. 3A-F verdeutlichen die Herstellungsweise der in Fig. 1 gezeigten Speicherzelle.

25 Mittels einer LOCOS-Technik (LOCOS: LOCAL Oxidation of Silicon) werden Oxidstrukturen 20 erzeugt, zwischen denen sich gemäß Fig. 3A ein aktives Gebiet 21 befindet. Ferner werden in üblicher Weise die Source- und Drain-Gebiete 2, 3 ausgebildet. Die Oxidstrukturen 20 dienen zur Isolation gegenüber  
30 benachbarten Speicherzellen. Alternativ zu der LOCOS-Technik kann auch die Graben-Isolationstechnik (STI: Shallow Trench Isolation) zur elektrischen Isolation benachbarter Speicherzellen eingesetzt werden.

35 In einem nächsten Schritt wird ein Schichtstapel bestehend aus alternierenden  $\text{Si}_3\text{N}_4$ -Schichten 22 und Si-Schichten 23 aufgebaut. Die Erzeugung der  $\text{Si}_3\text{N}_4$ -Schichten 22 kann durch

einen Tempersschritt bei etwa 900 - 1000°C in einer NH<sub>3</sub>-Atmosphäre erfolgen.

5      Darauffolgend wird eine Deck-Isolationsschicht 24 über dem Schichtstapel 22, 23 und der umliegenden Oxidschicht 20 abgeschieden. Die etwa 20 nm dicke Deck-Isolationsschicht 24 kann beispielsweise eine SiO<sub>2</sub>-Schicht sein und nach dem bekannten TEOS (Tetra-Ethyl-Ortho-Silicate) Verfahren abgeschieden werden. Die Deck-Isolationsschicht 24 wird später als Hartmaske  
10      zur Bildung der Säulenstrukturen 7 eingesetzt.

15      Eine erste Möglichkeit zur Erzeugung einer statistischen Maske besteht darin, auf der Oberfläche der Deck-Isolationsschicht 24 statistisch verteilte Maskenstrukturen in Form von Keimen 25 abzulagern, welche während einer Gasphasenabscheidung in einer Epitaxieanlage gebildet werden. Als Prozeßgas kann eine Atmosphäre aus H<sub>2</sub> und SiH<sub>4</sub> verwendet werden, der zur Verzögerung des Keimbildungsprozesses GeH<sub>4</sub> beigemischt wird. Der Partialdruck von SiH<sub>4</sub> und GeH<sub>4</sub> liegt im Bereich von  
20      10<sup>-3</sup> bis 1 mbar, der Partialdruck von H<sub>2</sub> kann etwa 1 bis 100 mbar betragen. Die Abscheidung wird im Temperaturbereich zwischen 500 - 700°C durchgeführt. Bei diesen Prozeßbedingungen bilden sich an der Oberfläche der Deck-Isolationsschicht 24 einzelne Silizium-Keime, die die Verteilung und Dichte der  
25      statistisch verteilten Maskenstrukturen bestimmen. Sobald die Dichte der Silizium-Keime 25 einen vorgegebenen Wert, beispielsweise etwa 10<sup>10</sup>-10<sup>12</sup>/cm<sup>2</sup> erreicht hat, wird der Keimbildungsprozeß abgebrochen.

30      Anschließend werden die Prozeßbedingungen verändert, um die Größe der Silizium-Keime 25 gezielt einzustellen. Dazu werden Prozeßbedingungen vorgegeben, wie sie für die selektive Epitaxie benutzt werden. Eine weitere Keimbildung an der Oberfläche der Deck-Isolationsschicht 24 ist dann unterbunden.  
35      Die selektive Epitaxie erfolgt beispielsweise mit einer Gas Mischung aus H<sub>2</sub> und SiH<sub>2</sub>Cl<sub>2</sub> im Temperaturbereich zwischen 600-

800°C. Dieser Gasmischung kann  $\text{GeH}_4$  zugegeben werden, um die Materialzusammensetzung der Keime einzustellen.

5 Sobald der Durchmesser der Keime einen gewünschten vorgegeben Wert (Durchmesser der Säulenstrukturen 7) erreicht hat, wird der Abscheideprozeß abgebrochen. Die Keime 25 bilden statistisch verteilte Maskenstrukturen einer statistischen Maske gemäß Fig. 3B.

10 Eine statistische Maske läßt sich auch auf andere Weise erzeugen. Eine zweite Möglichkeit besteht darin, auf der Deck-Isolationsschicht 24 eine durchgehende Germanium-Schicht aufzubringen, die in einem nachfolgenden Tempersschritt (z.B. bei 500°C) in einzelne Germanium-Keime, die die statistisch ver-  
15 teilten Maskenstrukturen bilden, zerfällt.

Eine dritte Möglichkeit besteht darin, auf der Deck-Isolationsschicht 24 eine Schicht mit einer gewollt rauhen Oberfläche aufzubringen. Die Schicht kann beispielsweise aus Poly-  
20 lysilizium oder Polygermanium bestehen. Bei einer mittleren Dicke von z.B. 50 nm können Dickenschwankungen um 30 nm realisiert werden. Durch einen anisotropen Ätzprozeß werden dann statistisch verteilte Maskenstrukturen dadurch erzeugt, daß die Oberfläche der Deck-Isolationsschicht 24 an Orten gerin-  
25 gerer Dicke der darüberliegenden Schicht mit rauher Oberfläche eher freigelegt wird als an Orten größerer Schichtdicke.

Gemäß einer vierten Verfahrensmöglichkeit zur Erzeugung einer statistischen Maske kann auf der Deck-Isolationsschicht 24  
30 auch eine erste Silizium-Schicht einer Dicke von beispielsweise 20 nm, darüber eine  $\text{SiO}_2$ -Schicht einer Dicke von beispielsweise 3 nm und über dieser eine zweite Silizium-Schicht einer Schichtdicke von etwa 20 nm aufgebracht werden. In einem Tempersschritt bei etwa 1000°C zersetzt sich die zwischen  
35 den Silizium-Schichten eingebettete  $\text{SiO}_2$ -Schicht und bildet einzelne  $\text{SiO}_2$ -Inseln, die nach einem Entfernen der oberen Silizium-Schicht (und einer dabei auftretenden Strukturierung

der unteren Silizium-Schicht) als statistisch verteilte Maskenstrukturen verwendet werden können.

5 Nach Bildung der statistischen Maske wird gemäß Fig. 3C mittels einer Maske L ein Bereich oberhalb des Kanalgebiets des Transistorbauteils abgedeckt. Nichtmaskierte Keime 25 werden in einem nachfolgenden Ätzschritt entfernt, während unter der Maske L liegende Keime 25' stehen bleiben.

10 Die Anzahl der verbleibenden Keime 25' ist abhängig von dem zuvor durchgeführten Keimbildungsschritt und kann beispielsweise 200 bis 300 betragen.

15 In einem nächsten Prozeßschritt (Fig. 3D) wird zunächst die Deck-Isolationsschicht 24 durch anisotropes Ätzen entfernt. Die statistische Maske aus Keimen 25' wird dabei in die Deck-Isolationsschicht 24 übertragen und bildet dort eine Hartmaske.

20 Im Anschluß daran wird der Schichtstapel 22, 23 unter Verwendung der Keime 25' bzw. der Hartmaske geätzt. Bei diesem Vorgang werden die Säulenstrukturen 7 aus dem Schichtstapel 22, 23 herausgebildet.

25 Anschließend werden die Reste der Keime 25' und die Hartmaske entfernt und es wird eine dünne Isolationsschicht 26 an den freiliegenden Wandbereichen der Säulenstrukturen 7 sowie in den umliegenden Bereichen erzeugt (Fig. 3E). Die Isolationsschicht 26 kann aus einer 3 bis 5 nm dicken thermischen  
30 SiO<sub>2</sub>-Schicht bestehen, die bei etwa 700 - 800°C aufgewachsen wird. Die Isolationsschicht 26 dient zur elektrischen Isolierung der Säulenstrukturen 7 gegenüber der Steuergate-Elektrode 8.

35 Letztere wird durch Abscheidung einer in-situ-dotierten Polysilizium-Schicht 27 gebildet. Die Polysilizium-Schicht 27 füllt, wie in Fig. 3F dargestellt, die bis dahin vorhandenen

Freibereiche zwischen den Säulenstrukturen 7 und schafft somit die Durchdringung des Speicherknotens von der Steuergate-Elektrode 8.

- 5 In weiteren nicht mehr näher dargestellten Schritten wird die Polysilizium-Schicht 27 geeignet strukturiert und zurückgeätzt, so daß deckenseitige Oberflächenbereiche der Säulenstrukturen 7 freigelegt werden. Schließlich erfolgt die Kontaktierung des Transistorbauelements und des Speicherknotens  
10 durch Ausbildung der metallischen Source- und Drain-Kontaktbereiche 12, 13 und des Datenleitungskontaktes 14.

Durch die im folgenden anhand der Fig. 4A und 4B zu beschreibende Abwandlung ermöglicht das erfindungsgemäße Verfahren  
15 wie bereits erwähnt auch die Herstellung von Säulenstrukturen 7 mit Einzelelektronenübergängen zwischen benachbarten Halbleiterschichtzonen 11 aus Silizium. Die in Fig. 4A dargestellte Säulenstruktur wird durch die anhand der Fig. 3A - D erläuterte Prozeßfolge erhalten. Die Isolationsschichtzonen  
20 11 bestehen beispielsweise aus  $\text{Si}_3\text{N}_4$  und weisen vorzugsweise eine geringe Schichtdicke von etwa 1-2 nm auf. Der Durchmesser der Säulenstruktur 7 weist die bereits angegebenen Werte (beispielsweise 100 nm) auf.

- 25 In einem anschließenden lateralen, selbstbeschränkenden Oxidationsschritt wird die Säulenstruktur 7 in einem Mantelbereich 15 durch einen trockenen Oxidationsprozeß bei Temperaturen im Bereich von 800 bis etwa 1000°C über eine Dauer von etwa einer halben Stunde oxidiert. Aufgrund eines selbstbeschränkten Effekts, der möglicherweise auf das Auftreten einer die Sauerstoff-Diffusion hemmenden Gitterverspannung im zentralen Säulenbereich zurückzuführen ist, bleiben in den Silizium-Schichtzonen 11 zentrale Silizium-Kerne 16 stehen.  
30 Die Silizium-Kerne 16 weisen einen Durchmesser D von nur etwa  
35 2 nm auf, wie dies in Fig. 4B verdeutlicht ist. Da nur noch sie für einen Transfer der Ladung in Frage kommen, werden auf diese Weise Ladungstransferbereiche mit extrem kleinen Verti-

kal- und Lateraldimensionen (auch die Schichtdicke der Silizium-Schichtzonen 11 kann nur etwa 2 nm betragen) realisiert. Dadurch wird ein bei Raumtemperatur betreibbares Einzelelektronenbauelement geschaffen, wobei der Ladungsübertritt einzelner Elektronen durch das Potential der Steuergate-Elektrode 8 kontrolliert wird. Die weitere Prozeßfolge zum Aufbau der Halbleiterspeicherzelle erfolgt gemäß der Beschreibung zu der Fig. 3F.

## Patentansprüche

1. Nichtflüchtige Halbleiterspeicherzelle,  
- mit einem auf einem Substrat (1) gebildeten Transistorbau-  
5 element (2, 3, 6), und  
- mit einem Speicherknoten, der den Schaltzustand des Transi-  
storbauelements (2, 3, 6) bestimmt und in der Umgebung ei-  
ner Steuergate-Elektrode (8) angeordnet ist,  
d a d u r c h g e k e n n z e i c h n e t,  
10 - daß der Speicherknoten eine Gruppe vertikal orientierter  
Säulenstrukturen (7) mit mindestens zwei Halbleiterschicht-  
zonen (10) und einer zwischen den beiden Halbleiterschicht-  
zonen (10) angeordneten Isolationsschichtzone (11) umfaßt.
- 15 2. Nichtflüchtige Halbleiterspeicherzelle nach Anspruch 1,  
d a d u r c h g e k e n n z e i c h n e t,  
- daß die Säulenstrukturen (7) jeweils mehrere alternierend  
angeordneten Halbleiterschichtzonen (10) und Isolations-  
schichtzonen (11) umfassen.
- 20 3. Nichtflüchtige Halbleiterspeicherzelle nach Anspruch 1  
oder 2,  
d a d u r c h g e k e n n z e i c h n e t,  
- daß die Steuergate-Elektrode (8) die Säulenstrukturgruppe  
25 (7) des Speicherknotens vollständig durchsetzt.
4. Nichtflüchtige Halbleiterspeicherzelle nach einem der vor-  
hergehenden Ansprüche,  
d a d u r c h g e k e n n z e i c h n e t,  
30 - daß das Transistorbauelement (2, 3, 6) eine schwebende  
Gateelektrode (FG) aufweist, und der Speicherknoten kapazi-  
tiv oder durch eine elektrisch leitende Verbindung mit der  
schwebenden Gateelektrode (FG) gekoppelt ist.
- 35 5. Nichtflüchtige Halbleiterspeicherzelle nach einem der An-  
sprüche 1 bis 3,  
d a d u r c h g e k e n n z e i c h n e t,



- daß der Speicherknoten die Gateelektrode (6) des Transistorbauelements (2, 3, 6) bildet.

6. Nichtflüchtige Halbleiterspeicherzelle nach einem der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t,

- daß die Säulenstrukturen (7) einen Durchmesser von weniger als 50 nm, insbesondere weniger als 30 nm aufweisen.

7. Nichtflüchtige Halbleiterspeicherzelle nach einem der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t,

- daß Halbleiterschichtzonen (10) eine axiale Dicke von weniger als 10 nm, insbesondere weniger als 3 nm aufweisen.

8. Verfahren zur Herstellung einer nichtflüchtigen Halbleiterspeicherzelle, bei dem

- in einem Substrat Source-, Kanal- und Draingebiete eines Transistorbauelements (2, 3, 6) ausgebildet werden;

- über dem Kanalgebiet eine Kanalisolationsschicht (5) erzeugt wird;

- oberhalb der Kanalisolationsschicht (5) eine Schichtfolge (22, 23) umfassend mindestens zwei Halbleiterschichtzonen (10) und eine zwischen den beiden Halbleiterschichtzonen

- (10) angeordnete Isolationsschicht aufgebaut wird;

- aus der Schichtfolge (22, 23) unter Verwendung einer statischen Maske (25, 25') eine Gruppe vertikaler Säulenstrukturen (7) herausgebildet wird; und

- zur Ausbildung einer Steuerelektrode (8) ein elektrisch leitfähiges Material in der Umgebung der Säulenstrukturgruppe und insbesondere zwischen den einzelnen Säulenstrukturen (7) abgeschieden wird.

9. Verfahren nach Anspruch 8,

d a d u r c h g e k e n n z e i c h n e t,

- daß die Halbleiterschichtzonen aus Silizium bestehen, und

- daß nach der Herausbildung der Säulenstrukturen (7) ein lateraler, selbstbegrenzender Oxidationsschritt zur Erzeugung von Silizium-Säulenstrukturen (16) reduzierter lateraler Dimensionen ausgeführt wird.

5

10. Verfahren nach Anspruch 8 oder 9,  
dadurch gekennzeichnet,

- daß zwischen der Kanalisationsschicht (5) und der Schichtfolge (22, 23) eine Schicht aus einem elektrisch leitfähigen Material und darauf eine weitere Isolationsschicht abgeschieden werden, und
- daß in einem Strukturierungsschritt aus der Schicht aus einem elektrisch leitfähigen Material eine allseitig isolierte, schwebende Gateelektrode (FG) gebildet wird.

10

1/4

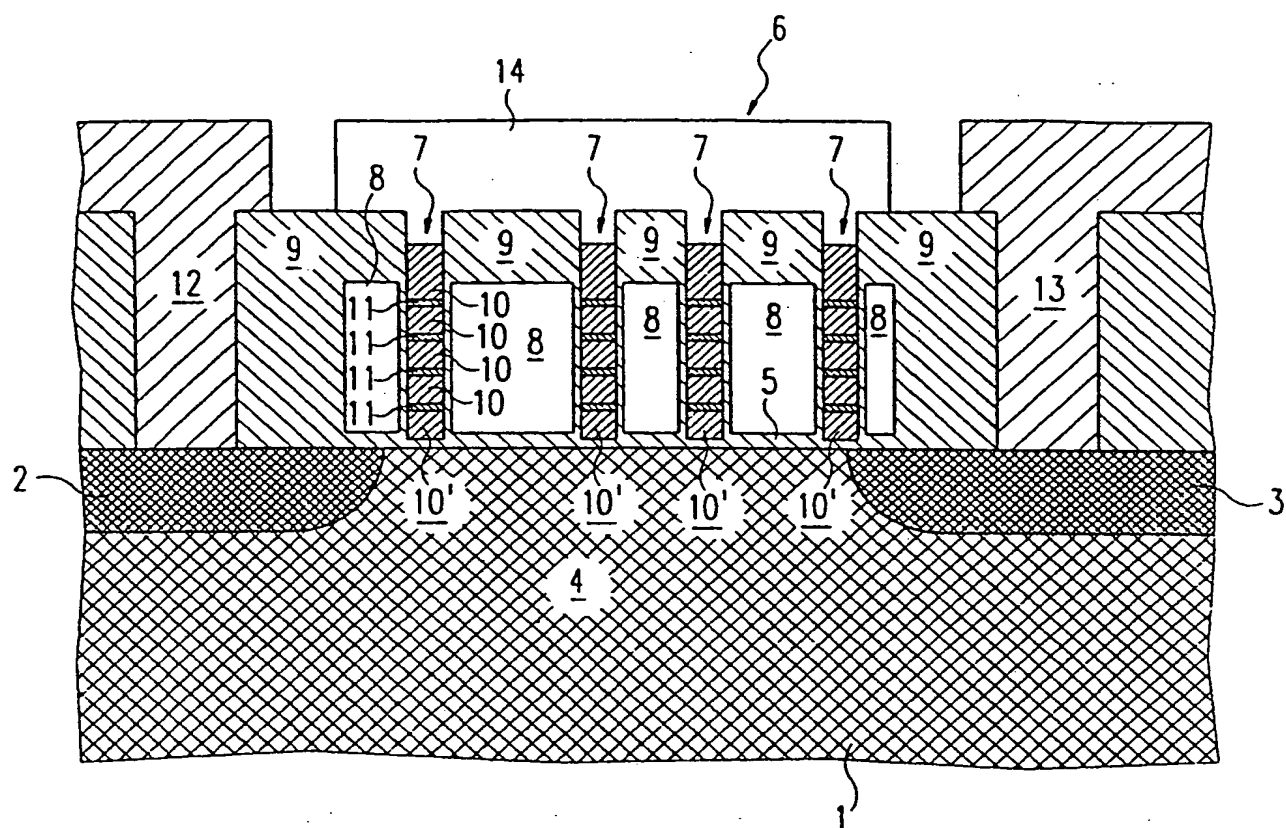


Fig. 1

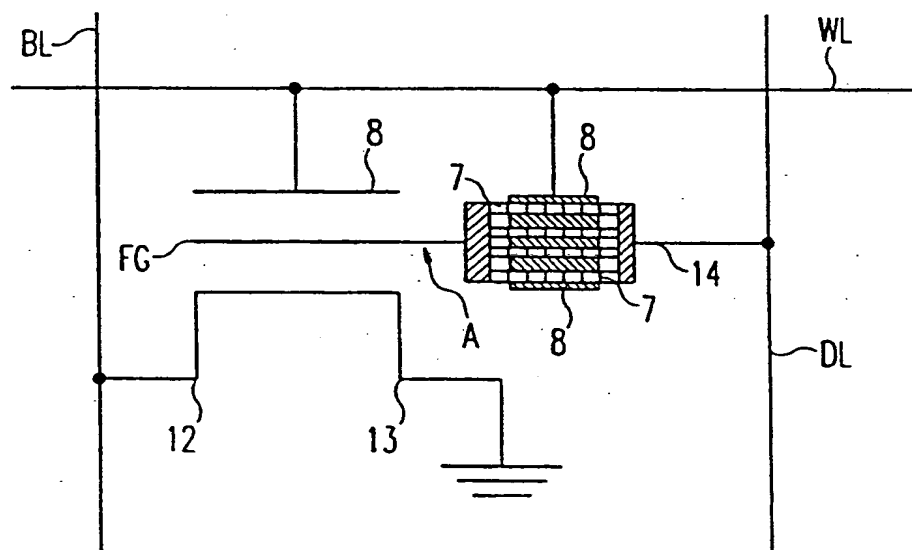


Fig. 2

2/4

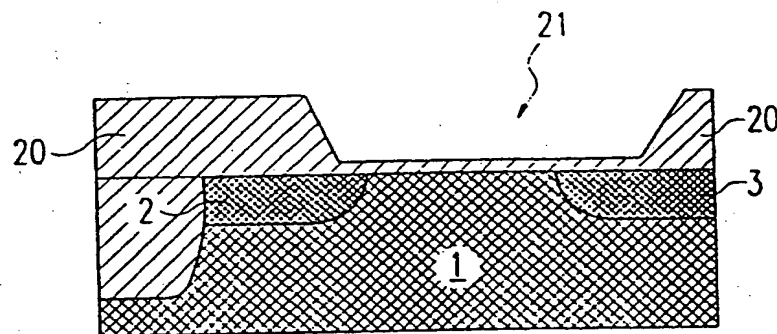


Fig. 3A

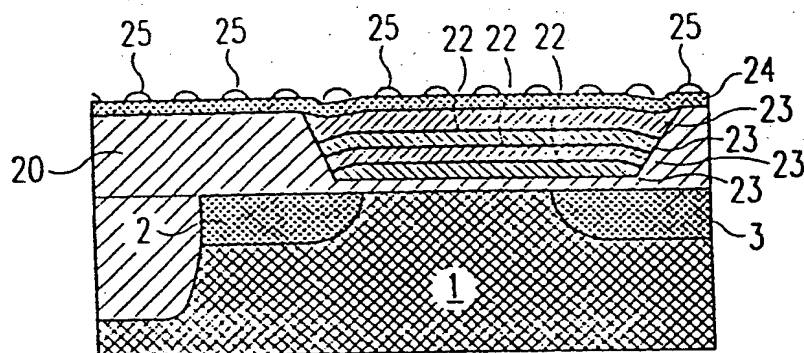


Fig. 3B

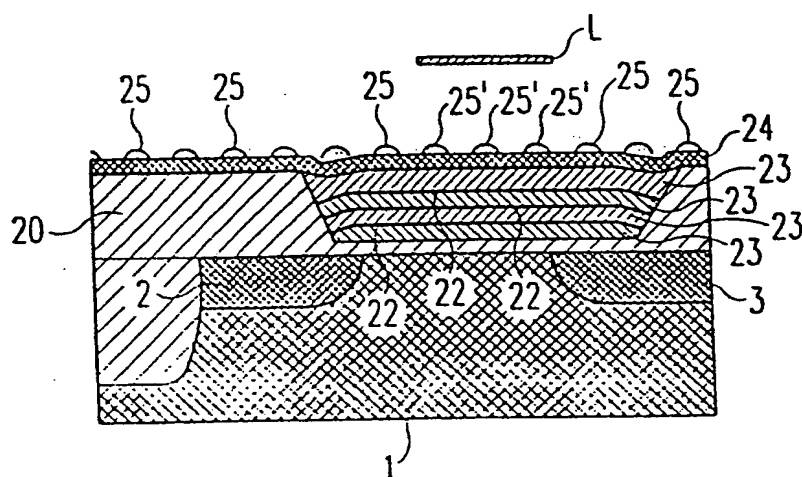


Fig. 3C

3/4

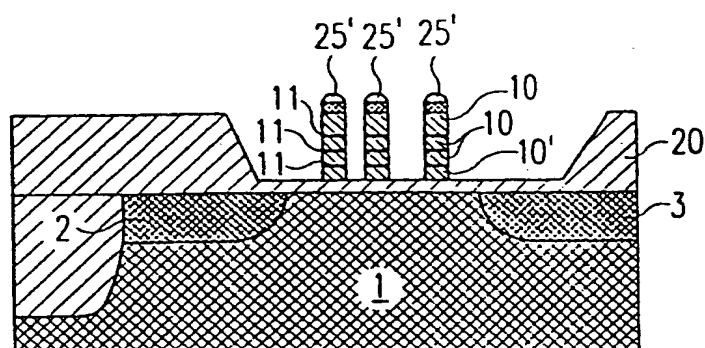


Fig. 3D

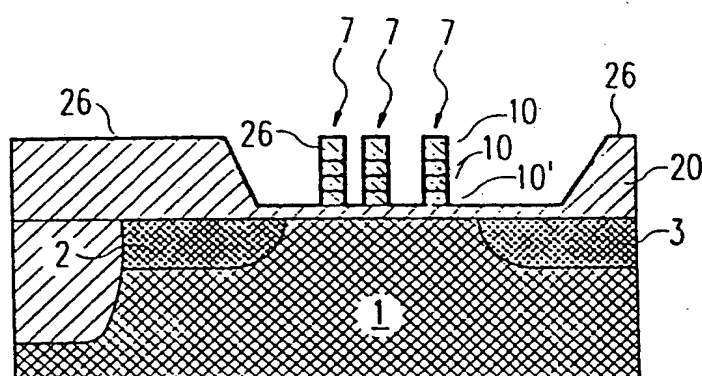


Fig. 3E

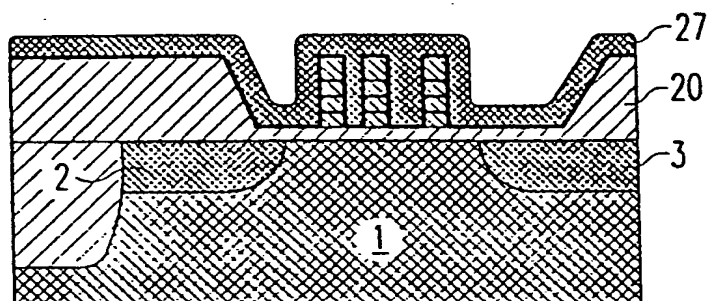


Fig. 3F

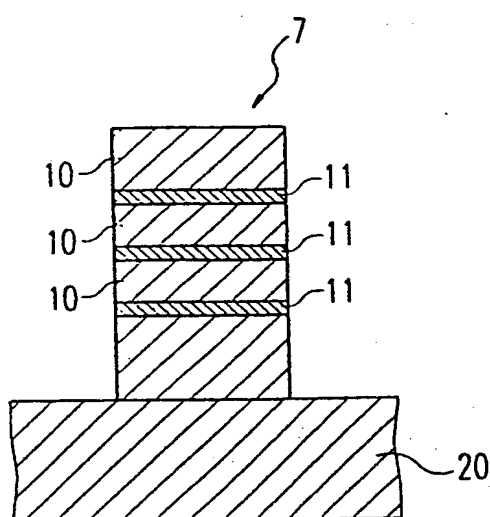


Fig. 4A

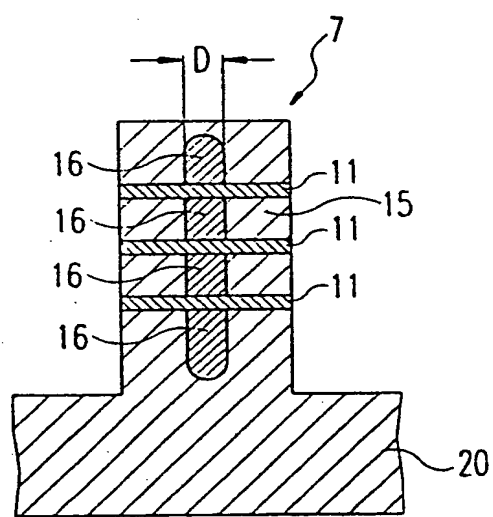


Fig. 4B

# INTERNATIONAL SEARCH REPORT

Internat. Application No  
PCT/DE 00/01732

**A. CLASSIFICATION OF SUBJECT MATTER**  
IPC 7 H01L29/788 H01L21/28

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

PAJ, EP0-Internal

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 843 361 A (HITACHI EUROP LTD) 20 May 1998 (1998-05-20) page 5, column 7, line 25 -page 12, column 21, line 21; figures 1-24	1,8
A	H. MIZUTA, D. WILLIAMS, K. KATAYAMA, H.-O. MÜLLER, K. NAKAZATO, H. AHMED: "High-speed single-electron memory: cell design and architecture" IEEE COMPUT. SOC, 12 - 13 March 1998, pages 67-72, XP002151823 LOS ALAMITOS / USA page 67, column 1, line 7 - line 24; figures 1A,1B	1,8
	-/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

\* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search

2 November 2000

Date of mailing of the international search report

15/11/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Albrecht, C

# INTERNATIONAL SEARCH REPORT

Internat al Application No

PCT/DE 00/01732

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>US 5 714 766 A (TIWARI SANDIP ET AL)  3 February 1998 (1998-02-03)  column 7, line 11 - line 44; figures 6-9  -----</p>	1,8



# INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 00/01732

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0843361 A	20-05-1998	EP 0843360 A	20-05-1998
		AU 4360597 A	21-05-1998
		CA 2220782 A	15-05-1998
		US 5952692 A	14-09-1999
US 5714766 A	03-02-1998	JP 9116106 A	02-05-1997
		KR 246068 B	15-03-2000
		US 5937295 A	10-08-1999

# INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 00/01732

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES  
IPK 7 H01L29/788 H01L21/28

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

## B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)  
IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

PAJ, EP0-Internal

## C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	EP 0 843 361 A (HITACHI EUROP LTD) 20. Mai 1998 (1998-05-20) Seite 5, Spalte 7, Zeile 25 -Seite 12, Spalte 21, Zeile 21; Abbildungen 1-24	1,8
A	H. MIZUTA, D. WILLIAMS, K. KATAYAMA, H.-O. MÜLLER, K. NAKAZATO, H. AHMED: "High-speed single-electron memory: cell design and architecture" IEEE COMPUT. SOC, 12. - 13. März 1998, Seiten 67-72, XP002151823 LOS ALAMITOS / USA Seite 67, Spalte 1, Zeile 7 - Zeile 24; Abbildungen 1A,1B	1,8



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfindnerischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfindnerischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

2. November 2000

Absenddatum des internationalen Recherchenberichts

15/11/2000

Name und Postanschrift der Internationalen Recherchenbehörde  
Europäisches Patentamt, P.B. 5818 Patentaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Albrecht, C

# INTERNATIONALER RECHERCHENBERICHT

Internr. Aktenzeichen

PCT/DE 00/01732

## C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	<p>US 5 714 766 A (TIWARI SANDIP ET AL)  3. Februar 1998 (1998-02-03)  Spalte 7, Zeile 11 - Zeile 44; Abbildungen  6-9</p> <p>-----</p>	1,8

# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 00/01732

Im Recherchenbericht angeführtes Patentedokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP 0843361 A	20-05-1998	EP 0843360 A	20-05-1998
		AU 4360597 A	21-05-1998
		CA 2220782 A	15-05-1998
		US 5952692 A	14-09-1999
US 5714766 A	03-02-1998	JP 9116106 A	02-05-1997
		KR 246068 B	15-03-2000
		US 5937295 A	10-08-1999